

대한민국 특허청
KOREAN INTELLECTUAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0061403
Application Number

출원년월일 : 2002년 10월 09일
Date of Application OCT 09, 2002

출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 04 월 04 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2002. 10. 09
【발명의 명칭】	저항 패턴을 가지는 반도체 장치 및 그 제조방법
【발명의 영문명칭】	SEMICONDUCTOR DEVICE WITH RESISTOR PATTERN AND METHOD OF FABRICATING THE SAME
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	임창현
【대리인코드】	9-1998-000386-5
【포괄위임등록번호】	1999-007368-2
【대리인】	
【성명】	권혁수
【대리인코드】	9-1999-000370-4
【포괄위임등록번호】	1999-056971-6
【발명자】	
【성명의 국문표기】	신유철
【성명의 영문표기】	SHIN, YOO CHEOL
【주민등록번호】	690207-1782829
【우편번호】	442-470
【주소】	경기도 수원시 팔달구 영통동 황골마을 주공아파트 138동 1102호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 임창현 (인) 대리인 권혁수 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	21 면 21,000 원

1020020061403

출력 일자: 2003/4/7

【우선권 주장료】	0	건	0	원
【심사청구료】	25	항	909,000	원
【합계】	959,000			원
【첨부서류】	1. 요약서·명세서(도면)_1통			

**【요약서】****【요약】**

저항 패턴을 가지는 반도체 장치 및 그 제조방법을 제공한다. 이 소자는 반도체 기판 상에 배치되어 활성영역을 한정하는 소자분리막과, 활성영역 내에 형성된 소오스 및 드레인 영역과, 소오스 및 드레인 영역 사이의 활성영역 상에 형성된 게이트 전극을 포함한다. 게이트 전극과 활성영역 사이에 게이트 절연막이 개재되고, 소자분리막 상에 저항 패턴이 배치되고, 저항 패턴의 양단에 저항 전극이 각각 접속된다. 게이트 전극은 게이트 절연막 상에 차례로 적층된 폴리실리콘 패턴 및 실리사이드 패턴을 포함하고, 저항 패턴은 폴리실리콘의 단일 패턴 부분을 포함한다. 이 소자의 제조방법은 반도체 기판에 소자분리막을 형성하여 활성영역을 한정하고, 활성영역 및 소자분리막 상에 제1 도전층 및 제2 도전층이 차례로 적층된 게이트 패턴 및 저항 패턴을 각각 형성하는 것을 포함한다. 게이트 패턴 및 저항 패턴의 측벽에 각각 게이트 스페이서 및 저항 스페이서를 형성하고, 저항패턴의 제2 도전층을 제거하여 저항 스페이서의 내측벽의 일부 및 상기 제1 도전층의 상부면을 노출시킨다. 저항 패턴의 양단에 접속된 저항전극을 형성한다. 제1 도전층은 면저항이 높은 폴리실리콘으로 형성할 수 있고, 제2 도전층은 전도율이 높은 금속 실리사이드로 형성할 수 있다.

【대표도】

도 7b



【명세서】

【발명의 명칭】

저항 패턴을 가지는 반도체 장치 및 그 제조방법{SEMICONDUCTOR DEVICE WITH RESISTOR PATTERN AND METHOD OF FABRICATING THE SAME}

【도면의 간단한 설명】

도 1은 통상적인 플래시 메모리 소자의 셀 패턴 및 저항 패턴을 나타낸 단면도이다.

도 2는 통상적인 디램 메모리 소자의 셀 패턴 및 저항 패턴을 나타낸 단면도이다.

도 3 내지 도 6은 종래의 저항 패턴을 포함하는 반도체 소자의 제조방법을 설명하기 위한 공정단면도들이다.

도 7a는 본 발명의 제1 실시예에 따른 저항 패턴을 가지는 반도체 소자를 나타낸 평면도이다.

도 7b는 도 7a의 A-A를 따라 취해진 본 발명의 제1 실시예에 따른 저항패턴을 가지는 반도체 소자를 나타낸 단면도이다.

도 8 내지 도 10은 도 7a의 A-A를 따라 취해진 본 발명의 제1 실시예에 따른 저항 패턴을 가지는 반도체 소자의 제조방법을 나타낸 공정단면도들이다.

도 11 및 도 12는 도 7a의 A-A를 따라 취해진 본 발명의 제1 실시예의 변형예에 따른 저항 패턴을 가지는 반도체 소자의 제조방법을 나타낸 공정단면도들이다.

도 13a는 본 발명의 제2 실시예에 따른 저항 패턴을 가지는 반도체 소자를 나타낸 평면도이다.

도 13b는 도 13a의 B-B를 따라 취해진 본 발명의 제2 실시예에 따른 저항패턴을 가지는 반도체 소자를 나타낸 단면도이다.

도 14 내지 도 16은 도 13a의 B-B를 따라 취해진 본 발명의 제2 실시예에 따른 저항 패턴을 가지는 반도체 소자의 제조방법을 나타낸 공정단면도들이다.

도 17 내지 도 19는 도 13a의 B-B를 따라 취해진 본 발명의 제2 실시예의 변형예에 따른 저항 패턴을 가지는 반도체 소자의 제조방법을 나타낸 공정단면도들이다.

도 20은 본 발명의 제2 실시예의 또 다른 변형예에 따른 저항패턴을 가지는 반도체 소자를 나타낸 평면도이다.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<13> 본 발명은 반도체 소자 및 그 제조방법에 관한 것으로서, 더 구체적으로 저항패턴을 가지는 반도체 소자 및 그 제조방법에 관한 것이다.

<14> 반도체 집적회로는 다이오드 및 트랜지스터와 같은 능동소자와 커패시터, 저항 인덕터와 같은 수동소자의 조합으로 구성된다. 이들 집적회로는 높은 저항값(resistance)을 가지는 저항 패턴이 필요하다. 통상적으로, 반도체 소자에 있어서, 저항 패턴은 높은 면저항율(sheet resistivity; R_s)를 가지는 도핑된 폴리

실리콘으로 제조된다. 반도체 집적회로를 제조함에 있어서, 폴리실리콘은 여러가지 용도로 사용된다. 주요 능동소자인 트랜지스터의 게이트 전극은 폴리실리콘층을 포함하고, 커패시터의 전극, 즉 스토리지 전극 및 플레이트 전극 또한 폴리실리콘을 사용하여 제조된다. 그러나, 저 입력전원, 고속동작을 위해서 트랜지스터는 낮은 게이트 저항이 요구되고, 따라서, 트랜지스터의 게이트 전극은 폴리실리콘층과 실리사이드층이 적층된 폴리사이드층으로 형성한다.

<15> 반도체 메모리 소자 중, 플래시 메모리 소자는 폴리실리콘의 단일층으로 형성된 부유게이트와 폴리사이드층으로 형성된 제어게이트 전극을 포함한다.

<16> 도 1에 도시된 것과 같이, 플래시 메모리 소자는 반도체 기판(10)에 활성영역(14)을 한정하는 소자분리막(12)이 배치되고, 상기 활성영역(14) 내에 소오스 영역(30s) 및 드레인 영역(30d)이 배치된다. 상기 소오스 영역(30s) 및 드레인 영역(30d) 사이의 기판 상에 부유게이트(20a), 게이트 층간유전막(28) 및 제어게이트 전극(22)이 적층된 게이트 패턴(16)이 배치된다. 또한, 상기 소자분리막(12) 상에 저항 패턴(18)이 배치되고, 상기 저항 패턴(18)의 양단에 저항 전극(28)이 접속된다. 상기 저항 전극(18)은 상기 기판의 전면면에 덮혀진 층간절연막(interlayer dielectric layer; 26)를 통하여 확장된다.

<17> 도시된 것과 같이, 플래시 메모리 소자의 셀 트랜지스터는 폴리실리콘으로 형성된 부유게이트(20a)를 포함하기 때문에, 부유게이트를 형성하기 위한 폴리실리콘층(20b)을 사용하여 저항패턴을 형성할 수 있다.

<18> 도 2는 디램 메모리 소자를 나타낸 단면도이다.



<19> 도 2를 참조하면, 디램 메모리 소자는 반도체 기판에 활성영역(44)을 한정하는 소자분리막(42)이 배치되고, 상기 활성영역(44) 내에 소오스 영역(48s) 및 드레인 영역(48d)이 배치되고, 상기 소오스 영역(48s) 및 상기 드레인 영역(48d) 사이의 기판 상에 게이트 전극(59)이 배치된다. 상기 소오스 영역(48s)에 커패시터가 접속된다. 상기 커패시터는 상기 소오스 영역(48s)에 접속된 하부전극(60) 및 셀 어레이 영역에 나뉘어진 섹터별로 형성된 상부전극(56a)을 포함한다. 게이트 저항을 낮추기 위해서, 상기 게이트 전극(59)은 폴리실리콘(50) 및 실리콘사이드(54)가 적층된 폴리사이드로 형성된다. 따라서, 상기 게이트 전극(59)을 형성하는 폴리실리콘층(50)으로 저항 패턴을 형성할 수 없다. 따라서, 도시된 것과 같이, 통상적으로 디램 메모리 소자에서 저항 패턴(56b)은 상기 하부전극(60) 또는 상기 상부전극(56a)을 형성하는 폴리실리콘층을 사용하여 형성할 수 있다.

<20> 상술한 것과 같이, 플래시 메모리 소자 및 디램 메모리 소자는 각각 부유게이트와 커패시터를 형성하는 단계에서 폴리 실리콘의 단일층으로 형성된 저항 패턴을 형성할 수 있다. 폴리사이드 게이트 전극을 가지는 반도체 소자에서는 폴리실리콘의 단일층으로 저항 패턴을 형성하는 공정을 추가하거나, 저항 패턴의 두께를 낮추거나 폭을 줄임으로써 요구되는 저항 패턴을 형성한다. 미국특허번호 6,313,516호 집적회로의 면저항이 높은 폴리실리콘 저항 형성방법(U.S Patent No. 6,313,516 METHOD FOR MAKING HIGH-SHEET-RESISTANCE POLYSILICON RESISTORS FOR INTEGRATED CIRCUITS)에는 폴리사이드 게이트를 가지는 반도체 소자에서 면저항(sheet resistance)이 높은 저항패턴을 형성하는 방법이 개시되어 있다.

- <21> 도 3 내지 도 6은 종래의 저항 패턴을 가지는 반도체 소자의 제조방법을 나타낸 공정단면도들이다.
- <22> 도 3을 참조하면, 반도체 기판(60)에 소자분리막(62)을 형성하여 활성영역(64)을 한정하고, 상기 활성영역(64) 내에 소오스 영역(66s) 및 드레인 영역(66d)을 형성하고, 상기 소오스 영역(66s) 및 상기 드레인 영역(66d) 사이의 활성영역(64) 상에 게이트 전극(78)을 형성한다. 이 때, 상기 소자분리막(62) 상에 배선 또는 커패시터 하부전극(80)을 형성한다.
- <23> 이어서, 상기 기판의 전면에서 게이트 전극(78) 및 상기 커패시터 하부전극(80)을 형성한다. 상기 게이트 전극(78) 및 상기 커패시터 하부전극(80)은 폴리실리콘(70)과 내화성 금속 실리사이드(refractory metal silicide; 72)가 적층된 폴리사이드로 형성된다.
- <24> 도 4를 참조하면, 상기 커패시터 유전막(76) 상에 저항 패턴(88)을 형성한다. 상기 저항패턴은 얇은 도우핑된 폴리실리콘(doped polysilicon; 82) 및 두꺼운 도우핑 되지 않은 폴리실리콘(undoped polysilicon; 84)을 적층하여 면저항을 증가시킨다.
- <25> 도 5 및 도 6을 참조하면, 상기 저항 패턴(88)이 형성된 기판의 전면에서 증간절연막(86)을 형성하고, 상기 증간절연막을 통하여 확장된 전극들(90)이 상기 저항 패턴(83)의 양단에 접속된다.
- <26> 상술한 것처럼, 폴리사이드 게이트 전극을 가지는 반도체 소자는 폴리사이드층의 면저항이 비교적 낮기 때문에 게이트 전극을 형성하는 단계에서, 저항 패턴을 형성할 수 없다. 따라서, 게이트 패턴과 저항 패턴을 형성하기 위한 단계가 각각 필요하고, 게이트 전극과 저항 패턴이 다른 층에 형성되기 때문에 반도체 소자의 단차 또한 높아진다.

【발명이 이루고자 하는 기술적 과제】

<27> 본 발명이 이루고자 하는 기술적 과제는 게이트 전극을 위한 폴리사이드층을 사용하여 높은 면저항을 가지는 저항 패턴을 형성하는 방법 및 이를 사용하여 제조된 반도체 소자를 제공하는데 있다.

<28> 본 발명의 다른 기술적 과제는 사진공정에서 정의할 수 있는 최소 선폭보다 작은 폭으로 형성되어 면저항이 더욱 더 증가된 저항 패턴을 가지는 반도체 소자 및 그 제조 방법을 제공하는데 있다.

【발명의 구성 및 작용】

<29> 상기 기술적 과제들을 달성하기 위하여 본 발명은 폴리실리콘의 단일층으로 이루어진 부분을 갖는 저항 패턴을 포함하는 반도체 소자를 제공한다. 이 소자는, 반도체 기판 상에 배치되어 활성영역을 한정하는 소자분리막과, 상기 활성영역 내에 형성된 소오스 및 드레인 영역과, 상기 소오스 및 드레인 영역 사이의 상기 활성영역 상에 형성된 게이트 전극을 포함한다. 상기 게이트 전극과 상기 활성영역 사이에 게이트 절연막이 개재되고, 상기 소자분리막 상에 저항 패턴이 배치되고, 상기 저항 패턴의 양 단에 저항 전극이 각각 접속된다. 본 발명에 있어서, 상기 게이트 전극은 상기 게이트 절연막 상에 차례로 적층된 폴리실리콘 패턴 및 실리사이드 패턴을 포함하고, 상기 저항 패턴은 폴리실리콘의 단일 패턴 부분을 포함한다.

<30> 상기 기술적 과제들을 달성하기 위하여 본 발명은 높은 면저항을 가지는 도전막으로 형성된 저항 패턴을 포함하는 반도체 소자의 제조방법을 제공한다. 이 방법은 반도체 기판에 소자분리막을 형성하여 활성영역을 한정하고, 상기 활성영역 및 상기 소자분리

막 상에 제1 도전층 및 제2 도전층이 차례로 적층된 게이트 패턴 및 저항 패턴을 각각 형성하는 것을 포함한다. 상기 게이트 패턴 및 상기 저항 패턴의 측벽에 각각 게이트 스페이서 및 저항 스페이서를 형성하고, 상기 저항패턴의 상기 제2 도전층을 제거하여 상기 저항 스페이서의 내측벽의 일부 및 상기 제1 도전층의 상부면을 노출시킨다. 상기 저항 패턴의 양단에 접속된 저항전극을 형성한다. 상기 제1 도전층은 면저항이 높은 폴리실리콘으로 형성할 수 있고, 상기 제2 도전층은 전도율이 높은 금속 실리사이드로 형성할 수 있다.

<31> 본 발명의 일 실시예에 상기 반도체 소자의 제조방법은, 반도체 기판에 소자분리막을 형성하여 활성영역들 한정하고, 상기 기판의 전면에 폴리실리콘막 및 금속 실리사이드막을 적층하는 것을 포함한다. 상기 폴리실리콘막 및 상기 실리사이드막을 패터닝하여 상기 활성영역 상에 제1 폴리실리콘 패턴 및 제1 실리사이드 패턴이 적층된 게이트 패턴을 형성하고, 상기 소자분리막 상에 제2 폴리실리콘 패턴 및 제2 실리사이드 패턴이 적층된 라인형 저항 패턴을 형성한다. 상기 게이트 패턴 및 상기 저항 패턴의 측벽들에 각각 게이트 스페이서 및 저항 스페이서를 형성한다. 상기 제2 실리사이드 패턴을 식각하여 상기 제2 폴리실리콘 패턴의 측벽에 정렬된 상기 저항 스페이서의 내측벽의 일부 및 상기 제2 폴리실리콘 패턴의 상부를 노출시키고, 상기 반도체 기판의 전면에 층간절연막을 형성한다. 상기 층간절연막을 통해 확장되어 상기 저항 패턴의 양단에 접속된 저항전극을 형성한다.

<32> 본 발명의 다른 실시예에서 상기 반도체 소자의 제조방법은, 반도체 기판에 소자분리막을 형성하여 활성영역들 한정하고, 상기 기판의 전면에 폴리실리콘막 및 실리사이드막을 적층하는 것을 포함한다. 상기 폴리실리콘막 및 상기 실리사이드막을 패터닝하여

상기 활성영역 상에 제1 폴리실리콘 패턴 및 제1 실리사이드 패턴이 적층된 게이트 패턴을 형성하고, 상기 소자분리막 상에 제2 폴리실리콘 패턴 및 제2 실리사이드 패턴이 적층된 라인형 저항 패턴을 형성한다. 상기 게이트 패턴 및 상기 저항 패턴의 측벽들에 각각 게이트 스페이서 및 저항 스페이서를 형성한다. 상기 저항 패턴의 상기 제2 실리사이드 패턴을 식각하여 상기 제2 폴리실리콘 패턴의 측벽에 정렬된 상기 저항 스페이서의 내측벽의 일부 및 상기 제2 폴리실리콘 패턴의 상부를 노출시킨다. 상기 노출된 제2 폴리실리콘 패턴 상의 상기 노출된 저항스페이서의 내측벽에 상부 스페이서를 형성한다. 상기 상부스페이서는 상기 저항 스페이서의 내측벽에 정렬된 수직 측벽 및 상기 수직측벽에 대향하는 곡면측벽을 가지도록 형성한다. 상부 스페이서를 식각마스크로 사용하여 상기 제2 폴리실리콘 패턴을 식각하여, 상기 상부 스페이서의 곡면측벽의 에지에 정렬된 측벽을 가지고, 상기 소자분리막 패턴이 노출된 할로영역을 형성한다. 상기 저항 패턴의 양단에 접속된 저항전극을 형성한다.

<33> 이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다. 그러나, 본 발명은 여기서 설명되어지는 실시예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예는 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되어지는 것이다. 도면들에 있어서, 층 및 영역들의 두께는 명확성을 기하기 위하여 과장되어진 것이다. 또한, 층이 다른 층 또는 기판 "상"에 있다고 언급되어지는 경우에 그것은 다른 층 또는 기판 상에 직접 형성될 수 있거나 또는 그들 사이에 제3의 층이 개재될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조번호로 표시된 부분들은 동일한 구성 요소들을 나타낸다.

- <34> 도 7a는 본 발명의 제1 실시예에 따른 저항 패턴을 가지는 반도체 소자를 나타낸 평면도이다.
- <35> 도 7b는 도 7a의 A-A를 따라 취해진 본 발명의 제1 실시예에 따른 저항패턴을 가지는 반도체 소자를 나타낸 단면도이다.
- <36> 도 7a 및 도 7b를 참조하면, 본 발명의 제1 실시예에 따른 저항패턴을 가지는 반도체 소자는 반도체 기판(100)에 배치된 소자분리막(102)과, 활성영역(104)을 포함한다. 상기 활성영역(102) 내에 소오스 영역(120s) 및 드레인 영역(120d)이 형성되고, 상기 소오스 영역(120s) 및 상기 드레인 영역(120d) 사이의 활성영역(104) 상에 게이트 전극(106)이 배치된다. 상기 게이트 전극(106)은 상기 소자분리막(102) 상에 중첩된 영역을 가진다. 상기 게이트 전극(106)은 폴리실리콘 패턴(110a)과 금속 실리사이드 패턴(112a)이 차례로 적층되고, 상기 금속 실리사이드층(112a) 상에 게이트 캐핑절연막(116)이 더 형성될 수 있다. 상기 소자분리막(102) 상에 저항 패턴(108)이 배치된다. 도시된 것과 같이, 상기 저항 패턴(108)은 높은 저항값을 얻기 위하여 라인형으로 형성되고 폴리실리콘의 단일 패턴 영역을 포함한다. 상기 라인형 저항 패턴(108)의 양단의 폴리실리콘 패턴 상에 메탈실리사이드층이 형성될 수도 있다. 상기 소오스 영역(120s) 및 드레인 영역(120d)에 각각 콘택플러그(122)가 접속되고, 상기 저항 패턴(108)의 양단에 저항전극(124a)이 접속된다. 상기 게이트 전극(106)의 측벽에는 게이트 스페이서(118a)가 배치되고, 상기 저항 패턴(108)의 측벽에는 저항 스페이서(118b)가 배치된다. 상기 게이트 스페이서(118a)는 상기 콘택플러그(122)와 상기 게이트 전극(106) 사이의 단락을 방지하고, 상기 소오스 영역(120s) 및 드레인 영역(120d)의 정션구조를 형성하는 목적으로 사용될 수 있다. 상기 콘택 플러그(122) 및 상기 저항전극(124a)은 반도체 기판의 전면에 덮여진

층간절연막(126)을 통하여 상기 소오스 영역(120s), 상기 드레인 영역(120d) 및 상기 저항 패턴(108)에 접속된다. 상기 저항 스페이서(118b)의 내측벽은 상기 저항 패턴(108)의 측벽에 정렬된 수직측벽이고, 그 외측벽은 곡면측벽이다. 상기 수직측벽의 일부분은 상기 저항 패턴(108) 상부에 돌출되어, 상기 층간절연막(126)과 접한다.

<37> 도 8 내지 도 10은 도 7a의 A-A를 따라 취해진 본 발명의 제1 실시예에 따른 저항 패턴을 가지는 반도체 소자의 제조방법을 나타낸 공정단면도들이다.

<38> 도 8을 참조하면, 반도체 기판(100)에 소자분리막(102)을 형성하여 활성영역(104)을 한정한다. 상기 활성영역(104) 내에 소오스 영역(120s), 드레인 영역(120d) 및 게이트 전극(114)을 형성한다. 상기 소오스 영역(120s) 및 상기 드레인 영역(120d)은 상기 활성영역(104) 내에 불순물을 주입하여 형성하고, 상기 게이트 전극(114)은 제1 폴리실리콘 패턴(110a) 및 제1 메탈 실리사이드 패턴(112a)이 적층된 폴리사이드 구조를 가진다. 상기 제1 메탈 실리사이드 패턴(112a) 상에

게이트 캐핑절연막(116)이 더 형성될 수 있다. 상기 게이트 패턴(106)의 측벽에는 게이트 스페이서(118a)를 형성한다. 상기 게이트 스페이서(118a)는 상기 소오스 영역(120s)과 상기 드레인 영역(120d)의 정션구조를 LDD구조 또는 DDD구조로 형성하기 위한 목적과, 상기 소오스 영역(120s) 및 상기 드레인 영역(120d)에 접속되는 배선과 게이트 전극(106)의 단락을 방지하는 목적으로 형성할 수 있다. 이 단계까지는 통상적인 반도체 소자의 제조방법과 동일하게 실시할 수 있다. 이 때, 상기 소자분리막(102) 상에 저항 패턴(108)을 형성한다. 상기 저항 패턴(108)은 상기 게이트 전극(106)과 마찬가지로 폴리사이드 구조를 가진다. 즉, 상기 저항 패턴(108)은 제2 폴리실리콘 패턴(110b)과 제2 메탈 실리사이드 패턴(112b)이 적층되어 형성된다. 또한, 상기 제2 메탈 실리사이드 패턴(112b) 상에 캐핑절연막(116a)이 형성될 수도 있다. 상기 저항 패턴(108)의 측벽에 저항 스페이서(118b)가 형성된다.

<39> 도 9를 참조하면, 상기 저항 패턴(108)의 상기 제2 메탈실리사이드 패턴(112b)을 식각하여 상기 제2 폴리실리콘 패턴(110b)의 소정부분 상부면과, 상기 제2 폴리실리콘 패턴(110b)의 측벽에 정렬된 상기 저항 스페이서(118b)의 내측벽의 일부를 노출시킨다. 상기 제2 메탈실리사이드 패턴(112b)은 상기 저항패턴(108)의 전면 또는 일부분을 노출시키는 포토레지스트 패턴을 형성한 후, 상기 캐핑절연막(116a)을 식각한 후 제거할 수 있다. 상기 저항 패턴의 일부분을 노출시킬 경우, 상기 포토레지스트 패턴은 라인형 저항 패턴의 양단을 덮고, 그 나머지 부분을 노출시키는 것이 바람직하다.

<40> 도 10을 참조하면, 상기 기판의 전면에 층간절연막(126)을 형성한다. 계속해서

서, 통상적인 방법으로, 상기 층간절연막(126)을 통하여 확장되어 상기 저항 패턴(108)의 양단에 접속된 저항 전극(도 7a의 124a)과, 상기 소오스 영역(120s), 상기 드레인 영역(120d) 및 상기 게이트 전극(114)에 접속된 콘택 플러그(124g)를 형성하는 배선공정을 수행하여, 도 7a 및 도 7b에 도시된 것과 같은 반도체 소자를 제조할 수 있다.

<41> 도 11 및 도 12는 도 7a의 A-A를 따라 취해진 본 발명의 제1 실시예의 변형예에 따른 저항 패턴을 가지는 반도체 소자의 제조방법을 나타낸 공정단면도들이다.

<42> 도 11을 참조하면, 상기 활성영역(104) 상에 게이트 전극(114)을 형성하고, 상기 소자분리막(102) 상에 저항 패턴(128)을 형성하는 단계까지는 도 8을 참조하여 설명한 상기 제1 실시예와 동일하다. 상기 기판의 전면에서 제1 층간절연막(126)을 형성한다. 상기 제1 층간절연막(126)을 패터닝하여 상기 저항 패턴(108)의 상부면의 전면 또는 일부분을 노출시키는 개구부(128)를 형성한다. 이 때, 상기 캐핑절연막(116a)을 식각하여 상기 개구부(128) 내에 상기 제2 메탈 실리사이드 패턴(112b)의 상부면이 노출되게 한다.

<43> 도 12를 참조하면, 상기 개구부(128) 내에 노출된 상기 제2 메탈 실리사이드 패턴(112b)을 제거하여 상기 제2 폴리실리콘 패턴(110b)의 상부면 및 상기 제2 폴리실리콘 패턴(110b)의 측벽에 정렬된 상기 저항 스페이서(118b)의 내측벽을 노출시킨다. 이 때, 상기 개구부(128)가 노출시키는 영역에 따라서 상기 저항 패턴(108)의 제2 메탈 실리사이드 패턴(112b)이 모두 제거되거나, 상기 저항 패턴(108)의 양단의 제2 메탈 실리사이드 패턴(112b)은 잔존시킴으로써, 상기 저항 패턴(108)은 폴리실리콘의 단일 패턴 영역 및 폴리실리콘 및 메탈 실리사이드가 적층된 영역을 가지게 된다.

<44> 계속해서 도 12를 참조하면, 상기 기판 전면에서 제2 층간절연막(130)을 형성한다. 상기 제2 층간절연막(130)은 상기 개구부(128)를 채운다. 상기 제2 층간절연막(130)을

평탄화하는 공정을 더 추가할 수도 있다. 상기 제2 층간절연막(130) 및 상기 제1 층간절연막(126)을 통하여 상기 소오스 영역(120s)과 상기 드레인 영역(120d)에 접속된 콘택플러그(122) 및 상기 저항 패턴(108)의 양단에 접속된 저항 전극(도 7a의 124a)을 형성할 수 있다. 상기 저항 패턴(108)의 양단에 상기 제2 메탈실리사이드 패턴(112b)을 잔존시킬 경우 상기 저항 전극(124a)은 상기 제2 메탈 실리사이드 패턴(112b) 상에 접속된다. 이 경우, 저항값이 높아질 수 있으나, 상기 저항 패턴(108)의 양단을 제외한 부분은 폴리실리콘의 단일 패턴이기 때문에 충분히 높은 면저항값(sheet resistance)를 얻을 수 있다. 결과적으로, 도 7a 및 도 7b에 도시된 것과 같은 저항 패턴을 가지는 반도체 소자를 제조할 수 있다.

<45> 도 13a는 본 발명의 제2 실시예에 따른 저항 패턴을 가지는 반도체 소자를 나타낸 평면도이다.

<46> 도 13b는 도 13a의 B-B를 따라 취해진 본 발명의 제2 실시예에 따른 저항패턴을 가지는 반도체 소자를 나타낸 단면도이다.

<47> 도 13a 및 도 13b를 참조하면, 본 발명의 제2 실시예에 따른 저항 패턴을 가지는 반도체 소자는 소자분리막(202) 및 활성영역(204)을 포함하고, 상기 활성영역(204) 상에 배치된 게이트 전극(214)과 상기 소자분리막(202) 상에 형성된 저항 패턴(208)을 포함한다. 제1 실시예와 마찬가지로, 상기 활성영역(204) 내에 소오스 영역(220s) 및 드레인 영역(220d)이 형성되고, 상기 게이트 전극(214)은 상기 소오스 영역(220s) 및 상기 드레인 영역(220d) 사이의 활성영역(204) 상에 배치된다. 상기 게이트 전극(206)은 폴리실리콘 패턴(210a)과 금속 실리사이드 패턴(212a)이 적층된 폴리사이드 구조를 가지고, 상기 금속 실리사이드 패턴(212a)의 상부에 게이트 캐핑 절연막(216)이 더 형성될 수 있다.

상기 기관의 전면은 층간절연막(226)으로 덮이고, 상기 소오스 영역(220s) 및 상기 드레인 영역(220d)에 각각 콘택 플러그(222)가 접속되고, 상기 저항 패턴(208)의 양단에 각각 저항 전극(224a)이 접속된다.

<48> 본 발명의 제2 실시예에서, 상기 저항 전극(208)은 라인 형태로 배치되고, 상기 소자분리막(202)이 노출된 할로영역(232)을 가진다. 상기 저항 패턴(208)의 외측벽에 저항 스페이서(218b)가 형성되고, 상기 저항 패턴(208) 상에 상부 스페이서(230)가 배치된다. 상기 상부 스페이서(230)는 상기 저항 패턴(208)의 외측벽에 정렬된 수직측벽과, 상기 수직측벽에 대향하는 곡면측벽을 가진다. 상기 곡면측벽의 가장자리는 상기 할로 영역(232)의 측벽에 정렬된다. 상기 저항 스페이서는 상기 저항 패턴(208)의 외측벽 및 상기 상부 스페이서(230)의 수직측벽에 접하는 수직측벽을 가진다. 상기 게이트 전극(214)의 측벽에 게이트 스페이서가 배치되는데, 상기 게이트 스페이서는 상기 저항 스페이서와 동일막으로 형성된 제1 게이트 스페이서(218a) 및 제2 게이트 스페이서(218c)를 포함한다.

<49> 도 13a에 도시된 것과 같이, 상기 할로 영역(232)은 상기 저항 패턴(208)의 양단을 제외한 영역에 형성되고, 상기 저항 패턴(208)의 양단은 폴리실리콘 및 메탈 실리사이드가 적층된 구조를 가지고, 상기 할로 영역(232)에 인접한 영역은 폴리실리콘의 단일 구조를 가진다. 상기 저항 패턴(208) 양단의 상기 메탈 실리사이드층에 상기 저항 전극(224)이 접속된다.

<50> 도 14 내지 도 16은 도 13a의 B-B를 따라 취해진 본 발명의 제2 실시예에 따른 저항 패턴을 가지는 반도체 소자의 제조방법을 나타낸 공정단면도들이다.

<51> 도 14를 참조하면, 반도체 기판(200)에 소자분리막(202)을 형성하여 활성영역(204)을 한정한다. 상기 활성영역(204) 내에 소오스 영역(220s), 드레인 영역(220d) 및 게이트 전극(214)을 형성한다. 상기 소오스 영역(220s) 및 상기 드레인 영역(220d)은 상기 활성영역(204) 내에 불순물을 주입하여 형성하고, 상기 게이트 전극(214)은 제1 폴리실리콘 패턴(210a) 및 제2 메탈 실리사이드 패턴(212a)이 적층된 폴리사이드 구조를 가진다. 상기 제2 메탈 실리사이드 패턴(212a) 상에 게이트 캐핑절연막(216)이 더 형성될 수 있다. 상기 게이트 패턴(214)의 측벽에는 게이트 스페이서(218a)를 형성한다. 상기 소자분리막(202) 상에 저항 패턴(208)을 형성한다. 상기 저항 패턴(208)은 상기 게이트 전극(214)과 마찬가지로 폴리사이드 구조를 가진다. 즉, 상기 저항 패턴(208)은 제2 폴리실리콘 패턴(210b)과 제2 메탈 실리사이드 패턴(212b)이 적층되어 형성된다. 또한, 상기 제2 메탈 실리사이드 패턴(212b) 상에 캐핑절연막(216a)이 형성될 수도 있다. 상기 저항 패턴(208)의 측벽에 저항 스페이서(218b)가 형성된다.

<52> 도 15를 참조하면, 상기 저항 패턴(208)의 상기 제2 메탈실리사이드 패턴(212b)을 식각하여 상기 제2 폴리실리콘 패턴(210b)의 소정부분 상부면과, 상기 제2 폴리실리콘 패턴(210b)의 측벽에 정렬된 상기 저항 스페이서의 내측벽의 일부를 노출시킨다. 상기 저항 패턴의 일부분을 노출시킬 경우, 상기 포토레지스트 패턴은 상기 저항 패턴의 양단을 덮고, 그 나머지 부분을 노출시키는 것이 바람직하다. 이 단계까지는 도 8 및 도 9를 참조하여 상술한 제1 실시예와 동일하다.

<53> 계속해서 도 15를 참조하면, 상기 노출된 제2 폴리실리콘 패턴(210b)의 가장자리 상에 상부 스페이서(230)를 형성한다. 상기 상부 스페이서(230)는 상기 노출된 저항 스페이서의 내측벽에 형성되어 상기 제2 폴리실리콘 패턴(210b)의 측벽에 정렬된 수직측벽

과, 상기 수직측벽에 대향하는 곡면측벽을 가진다. 이 때, 상기 게이트 스페이서(218a) 상에 또다른 스페이서(218c)가 더 형성된다.

<54> 도 16을 참조하면, 상기 상부 스페이서(230)를 식각마스크로 사용하여 상기 제2 폴리실리콘 패턴(210b)을 식각하여 상기 소자분리막(202)을 노출시킨다. 그 결과, 상기 소자분리막(202)이 노출된 할로 영역(232)이 형성된다. 상기 할로영역(232)의 측벽은 상기 상부 스페이서의 곡면측벽의 가장자리에 정렬된다. 따라서, 상기 상부 스페이서(230)의 폭에 따라 저항 패턴의 폭이 정의되고, 할로 영역(232)으로 대체된 상기 저항 패턴(208)의 면적때문에 상기 저항패턴(208)의 면저항값은 증가한다. 상기 할로 영역(232)을 형성하는 단계에서, 상기 저항 패턴(208)의 양단을 포토레지스트(도 13a의 234)로 덮고 식각 공정을 실시한다. 상기 할로 영역(232)이 형성된 기판의 전면에 층간절연막(226)을 형성하고, 상기 층간절연막(226)을 통하여 상기 저항 패턴(208)의 양단에 접속된 저항 전극(도 13의 224a)과, 상기 소오스 영역(220s), 상기 드레인 영역(220d) 및 상기 게이트 전극(214)에 접속된 콘택플러그(224)를 형성함으로써, 도 13a 및 도 13b에 도시된 저항패턴을 가지는 반도체 소자를 제조할 수 있다.

<55> 도 17 내지 도 19는 도 13a의 B-B를 따라 취해진 본 발명의 제2 실시예의 변형예에 따른 저항 패턴을 가지는 반도체 소자의 제조방법을 나타낸 공정단면도들이다.

<56> 도 17을 참조하면, 상기 활성영역(204) 상에 게이트 전극(214)을 형성하고, 상기 소자분리막(202) 상에 저항 패턴(208)을 형성하고, 상기 기판의 전면에 개구부(238)를 가지는 제1 층간절연막(226)을 형성하고, 상기 개구부(238) 내에 상기 제2 폴리실리콘 패턴(210b)의 상부면의 전면또는 일부를 노출시키는 단계까지는 도 8 및 도 12을 참조하여 상술한 상기 제1 실시예의 변형예와 동일하다. 계속해서, 상기 개구부의 측벽에 상

부 스페이서(230a)를 형성한다. 상기 상부 스페이서(230a)는 상기 제2 폴리실리콘 패턴(210b)의 측벽에 정렬된 수직측벽과, 상기 수직측벽에 대향하는 곡면측벽을 포함한다.

<57> 도 18을 참조하면, 상기 제1 층간절연막(226) 및 상기 상부 스페이서(230a)를 식각 마스크로 사용하여, 상기 제2 폴리실리콘 패턴(210b)을 식각하여 상기 소자분리막(202)의 일부를 노출시킨다. 그 결과, 상기 소자분리막(202)이 노출된 할로 영역(232)이 형성된다. 상기 제2 폴리실리콘 패턴(210c)은 상기 할로영역(232)의 측벽을 형성한다.

<58> 도 19를 참조하면, 상기 기판 전면에서 제2 층간절연막(234)을 형성한다. 상기 제2 층간절연막(234)은 상기 개구부(238)를 채운다. 상기 제2 층간절연막(234) 및 상기 제1 층간절연막(226)을 통하여 상기 소오스 영역(220s)과 상기 드레인 영역(220d)에 접속된 콘택플러그(222) 및 상기 저항 패턴(208)의 양단에 접속된 저항 전극(도 13a의 224a)을 형성할 수 있다. 상기 저항 패턴(208)의 양단에 상기 제2 메탈실리사이드 패턴(212b)을 잔존시킬 경우 도 13a에 도시된 것과 같이, 상기 저항 전극(224a)은 상기 제2 메탈 실리사이드 패턴(212) 상에 접속된다. 그러나, 상기 저항 패턴(208)의 양단을 제외한 부분은 폴리실리콘의 단일 패턴이기 때문에 충분히 높은 면저항값(sheet resistance)을 얻을 수 있다. 결과적으로, 도 7a 및 도 7b에 도시된 것과 같은 저항 패턴을 가지는 반도체 소자를 제조할 수 있다. 상기 저항 패턴(208)의 전면을 노출시키는 개구부(238)를 형성할 경우, 상기 저항 패턴(208)의 상기 제2 메탈 실리사이드 패턴(212b)은 모두 제거되고, 상기 제2 폴리실리콘 패턴(210b)의 상부면의 전면이 노출된다. 이 경우, 도 20에 도시된 것과 같이, 저항 패턴(208)은 폴리실리콘의 단일층으로, 할로영역(232)의 주변을 가늘게 둘러싸고, 저항 전극(224a)은 상기 저항 패턴(208)의 양단에 중첩되어 형성된다.

【발명의 효과】

<59> 상술한 것과 같이 본 발명에 따르면, 폴리사이드 구조의 게이트 전극을 형성할 때, 폴리사이드 구조의 저항 패턴을 형성하고, 상기 저항 패턴의 금속 실리사이드층을 제거함으로써 높은 면저항값을 가지는 폴리실리콘 저항을 형성할 수 있다. 또한, 저항 패턴의 일부를 제거하여 할로 영역을 형성함으로써, 저항 패턴의 단면적을 줄일 수 있어 면저항값을 더욱더 증가시킬 수 있다.

【특허청구범위】**【청구항 1】**

반도체 기판 상에 배치되어 활성영역을 한정하는 소자분리막;

상기 활성영역 내에 형성된 소오스 및 드레인 영역;

상기 소오스 및 드레인 영역 사이의 상기 활성영역 상에 형성된 게이트 전극;

상기 게이트 전극과 상기 활성영역 사이에 개재된 게이트 절연막;

상기 소자분리막 상에 형성된 저항 패턴; 및

상기 저항 패턴의 양 단에 각각 접속된 저항 전극을 포함하되,

상기 게이트 전극은 상기 게이트 절연막 상에 차례로 적층된 폴리실리콘 패턴 및 실리사이드 패턴을 포함하고, 상기 저항 패턴은 폴리실리콘의 단일 패턴 부분을 포함하는 것을 특징으로 하는 반도체 소자.

【청구항 2】

제1 항에 있어서,

상기 게이트 절연막은,

실리콘질화막을 적어도 한층 포함하는 다층절연막인 것을 특징으로 하는 반도체 소자.

【청구항 3】

제1 항에 있어서,

상기 저항 패턴은 상기 소자분리막과 직접 접촉하는 것을 특징으로 하는 반도체 소자.

【청구항 4】

제1 항에 있어서,

상기 저항 패턴은 상기 소자분리막이 노출된 할로영역을 가지는 폴리실리콘 패턴을 포함하되, 상기 할로영역에 인접한 영역은 폴리실리콘의 단일패턴 부분인 것을 특징으로 하는 반도체 소자.

【청구항 5】

제4 항에 있어서,

상기 폴리실리콘 패턴 상에 형성되고, 수직측벽 및 곡면측벽을 포함하는 상부 스페이서; 및

상기 폴리실리콘 패턴의 외측벽 및 상기 상부 스페이서의 수직측벽 상에 형성된 저항 스페이서를 더 포함하되,

상기 상부 스페이서의 곡면측벽은 상기 폴리실리콘 패턴의 내측벽에 정렬되고, 상기 상부 스페이서의 수직 측벽은 상기 곡면측벽에 대향하고 상기 폴리실리콘 패턴의 외측벽에 정렬된 것을 특징으로 하는 반도체 소자.

【청구항 6】

제1 항에 있어서,

상기 저항 패턴은,

상기 소자분리막 상에 배치된 라인형 폴리실리콘 패턴; 및

상기 폴리실리콘 패턴의 양단 상에 적층된 실리사이드 패턴들을 포함하되,

상기 저항전극은 상기 실리사이드 패턴에 접속된 것을 특징으로 하는 반도체 소자.

【청구항 7】

반도체 기판에 소자분리막을 형성하여 활성영역을 한정하는 단계;

상기 활성영역 및 상기 소자분리막 상에 제1 도전층 및 제2 도전층이 차례로 적층된 게이트 패턴 및 저항 패턴을 각각 형성하는 단계;

상기 게이트 패턴 및 상기 저항 패턴의 측벽에 각각 게이트 스페이서 및 저항 스페이서를 형성하는 단계;

상기 저항패턴의 상기 제2 도전층을 제거하여 상기 저항 스페이서의 내측벽의 일부 및 상기 제1 도전층의 상부면을 노출시키는 단계; 및

상기 저항 패턴의 양단에 접속된 저항전극을 형성하는 단계를 포함하는 반도체 소자의 제조방법.

【청구항 8】

제7 항에 있어서,

상기 저항 패턴의 노출된 제1 도전층을 패터닝하여 상기 소자분리막이 노출되고 상기 제1 도전층으로 둘러싸여진 할로영역을 형성하는 단계를 더 포함하는 반도체 소자의 제조방법.

【청구항 9】

제7 항에 있어서,

상기 제1 도전층은 폴리실리콘막으로 형성하고, 상기 제2 도전층은 실리사이드막으로 형성하는 것을 특징으로 하는 반도체 소자의 제조방법.

【청구항 10】

반도체 기판에 소자분리막을 형성하여 활성영역들 한정하는 단계;

상기 기판의 전면에 폴리실리콘막 및 실리사이드막을 적층하는 단계;

상기 폴리실리콘막 및 상기 실리사이드막을 패터닝하여 상기 활성영역 상에 제1 폴리실리콘 패턴 및 제1 실리사이드 패턴이 적층된 게이트 패턴을 형성하고, 상기 소자분리막 상에 제2 폴리실리콘 패턴 및 제2 실리사이드 패턴이 적층된 라인형 저항 패턴을 형성하는 단계;

상기 게이트 패턴 및 상기 저항 패턴의 측벽들에 각각 게이트 스페이서 및 저항 스페이서를 형성하는 단계;

상기 제2 실리사이드 패턴을 식각하여 상기 제2 폴리실리콘 패턴의 측벽에 정렬된 상기 저항 스페이서의 내측벽의 일부 및 상기 제2 폴리실리콘 패턴의 상부면을 노출시키는 단계; 및

상기 저항 패턴의 양단에 각각 접속된 저항전극들을 형성하는 단계를 포함하는 반도체 소자의 제조방법.

【청구항 11】

제10 항에 있어서,

상기 제2 폴리실리콘 패턴의 상부면을 노출시키는 단계는,

상기 기판의 전면에서 상기 저항 패턴의 상부면을 노출시키는 오프닝을 가지는 제1 층간절연막을 형성하는 단계;

상기 노출된 저항 패턴의 상기 제2 실리사이드 패턴을 식각하여 상기 제2 폴리실리콘 패턴의 측벽에 정렬된 상기 저항 스페이서의 내측벽의 일부 및 상기 제2 폴리실리콘 패턴의 상부를 노출시키는 단계; 및

상기 오프닝을 채우는 제2 층간절연막을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 제조방법.

【청구항 12】

제11 항에 있어서,

상기 저항 전극은 상기 제1 층간절연막 및 상기 제2 층간절연막을 통하여 상기 저항 패턴에 접속되도록 형성하는 것을 특징으로 하는 반도체 소자의 제조방법.

【청구항 13】

제10 항에 있어서,

상기 제2 폴리실리콘 패턴의 상부면을 노출시키는 단계 후,

상기 기판의 전면에 층간절연막을 형성하는 단계를 더 포함하되,

상기 저항 전극은 상기 층간절연막을 통하여 상기 저항 전극에 접속되도록 형성하는 것을 특징으로 하는 반도체 소자의 제조방법.

【청구항 14】

제10 항에 있어서,

상기 폴리실리콘막을 형성하기 전에,

상기 활성영역 상에 게이트 절연막을 형성하는 단계를 더 포함하는 반도체 소자의 제조방법.

【청구항 15】

제14 항에 있어서,

상기 게이트 절연막은,

전하트랩절연막을 포함하는 다층절연막으로 형성하는 것을 특징으로 하는 반도체 소자의 제조방법.

【청구항 16】

제10 항에 있어서,

상기 제2 실리사이드 패턴을 식각하는 단계에서,

상기 저항 패턴 양단의 상기 제2 실리사이드 패턴은 잔존시키는 것을 특징으로 하는 반도체 소자.

【청구항 17】

반도체 기판에 소자분리막을 형성하여 활성영역들 한정하는 단계;

상기 기판의 전면에 폴리실리콘막 및 실리사이드막을 적층하는 단계;

상기 폴리실리콘막 및 상기 실리사이드막을 패터닝하여 상기 활성영역 상에 제1 폴리실리콘 패턴 및 제1 실리사이드 패턴이 적층된 게이트 패턴을 형성하고, 상기 소자분리막 상에 제2 폴리실리콘 패턴 및 제2 실리사이드 패턴이 적층된 라인형 저항 패턴을 형성하는 단계;

상기 게이트 패턴 및 상기 저항 패턴의 측벽들에 각각 게이트 스페이서 및 저항 스페이서를 형성하는 단계;

상기 저항 패턴의 상기 제2 실리사이드 패턴을 식각하여 상기 제2 폴리실리콘 패턴의 측벽에 정렬된 상기 저항 스페이서의 내측벽의 일부 및 상기 제2 폴리실리콘 패턴의 상부를 노출시키는 단계;

상기 노출된 제2 폴리실리콘 패턴 상의 상기 노출된 저항스페이서의 내측벽에, 상기 저항 스페이서의 내측벽에 정렬된 수직 측벽 및 상기 수직측벽에 대향하는 곡면측벽을 가지는 상부 스페이서를 형성하는 단계;

상부 스페이서를 식각마스크로 사용하여 상기 제2 폴리실리콘 패턴을 식각하여, 상기 상부 스페이서의 곡면측벽의 에지에 정렬된 측벽을 가지고, 상기 소자분리막 패턴이 노출된 할로영역을 형성하는 단계;및

상기 저항 패턴의 양단에 접속된 저항전극을 형성하는 단계를 포함하는 반도체 소자의 제조방법.

【청구항 18】

제17 항에 있어서,

상기 제2 폴리실리콘 패턴의 상부면을 노출시키는 단계는,

상기 기판의 전면에 상기 저항 패턴의 상부면을 노출시키는 오프닝을 가지는 제1 층간절연막을 형성하는 단계;및

상기 노출된 저항 패턴의 상기 제2 실리사이드 패턴을 식각하여 상기 제2 폴리실리콘 패턴의 측벽에 정렬된 상기 저항 스페이서의 내측벽의 일부 및 상기 제2 폴리실리콘 패턴의 상부를 노출시키는 단계를 포함하는 반도체 소자의 제조방법.

【청구항 19】

제18 항에 있어서,

상기 제1 층간절연막을 형성하는 단계에서,

상기 제1 층간절연막은 상기 저항 패턴의 양단의 일부분을 덮도록 형성하는 것을 특징으로 하는 반도체 소자의 제조방법.

【청구항 20】

제18 항에 있어서,

상기 제1 층간절연막을 형성하는 단계에서,

상기 제1 층간절연막의 오프닝은 상기 저항 패턴의 상부면의 전면이 노출되도록 형성하는 것을 특징으로 하는 반도체 소자의 제조방법.

【청구항 21】

제18 항에 있어서,

상기 할로영역을 형성한 후 상기 오프닝을 채우는 제2 층간절연막을 형성하는 단계를 더 포함하되,

상기 저항 전극은 상기 제1 층간절연막 및 상기 제2 층간절연막을 통하여 상기 저항 패턴에 접속되도록 형성하는 것을 특징으로 하는 반도체 소자의 제조방법.

【청구항 22】

제17 항에 있어서,

상기 할로 영역을 형성하는 단계 이후,

상기 기판의 전면에 층간절연막을 형성하는 단계를 더 포함하되,

상기 저항 전극은 상기 층간절연막을 통하여 상기 저항 전극에 접속되도록 형성하는 것을 특징으로 하는 반도체 소자의 제조방법.

【청구항 23】

제17 항에 있어서,

상기 폴리실리콘막을 형성하기 전에,

상기 활성영역 상에 게이트 절연막을 형성하는 단계를 더 포함하는 반도체 소자의 제조방법.

【청구항 24】

제23 항에 있어서,

상기 게이트 절연막은,

전하트랩절연막을 포함하는 다층절연막으로 형성하는 것을 특징으로 하는 반도체 소자의 제조방법.

【청구항 25】

제17 항에 있어서,

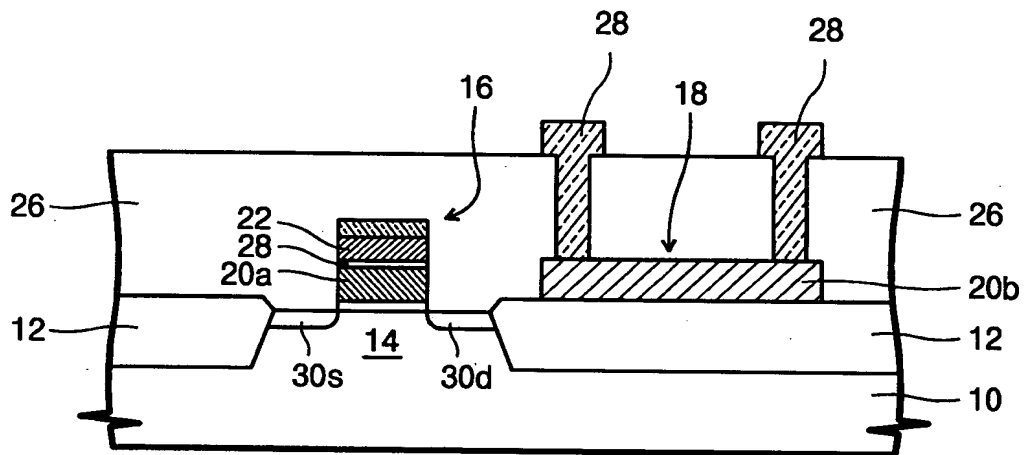
상기 제2 실리사이드 패턴을 식각하는 단계에서,

상기 저항 패턴 양단의 상기 제2 실리사이드 패턴은 잔존시키는 것을 특징으로 하는 반도체 소자.

【도면】

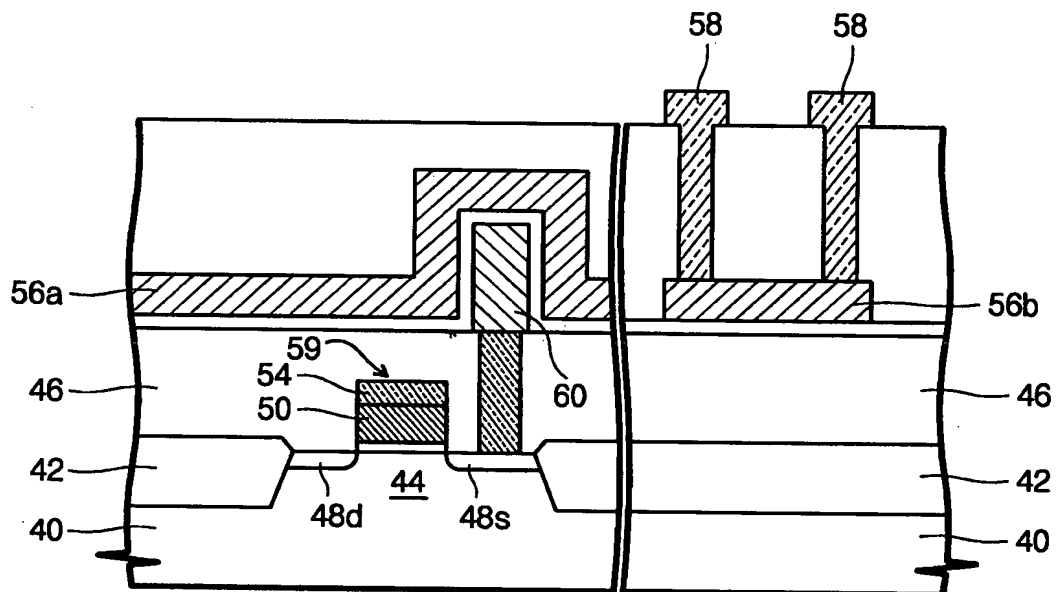
【도 1】

(종래기술)

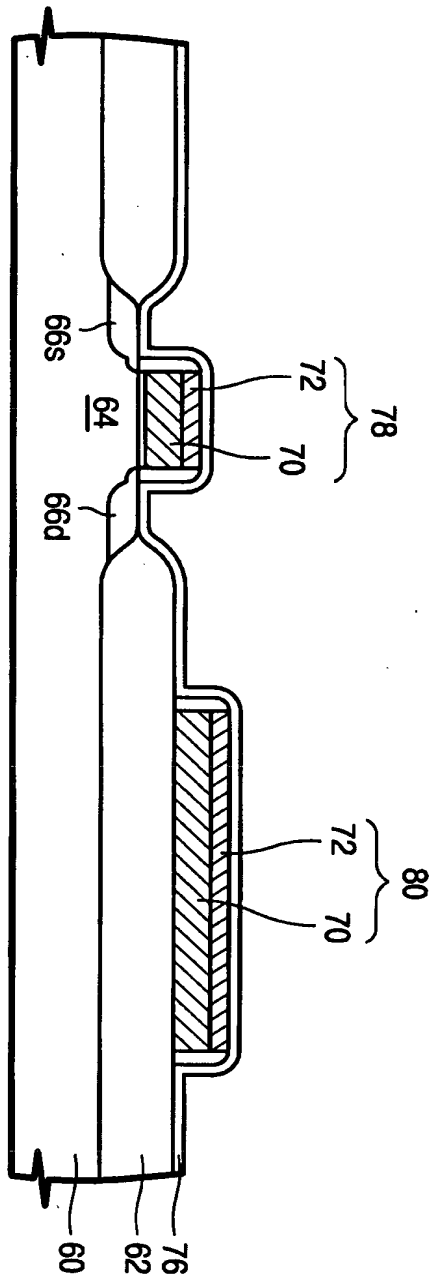


【도 2】

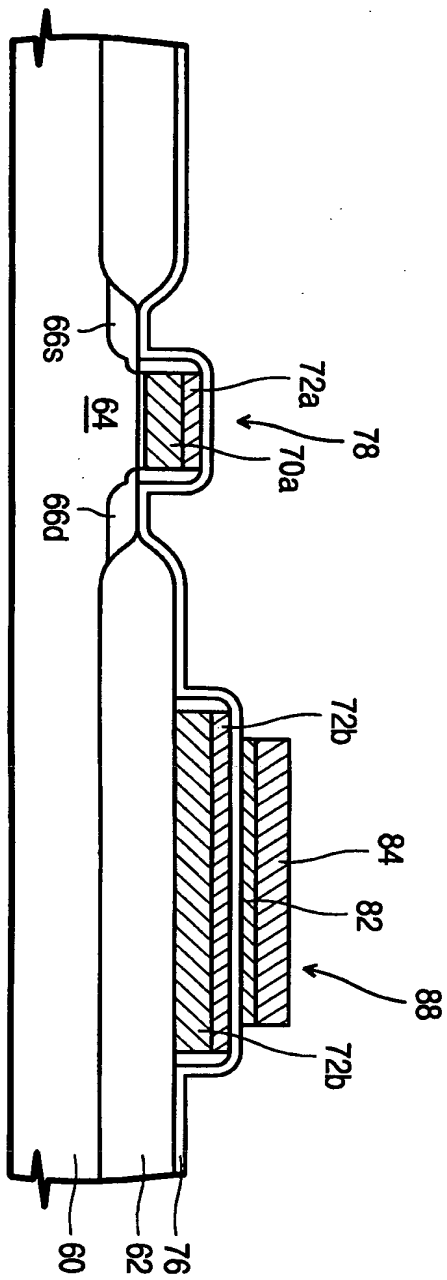
(종래기술)



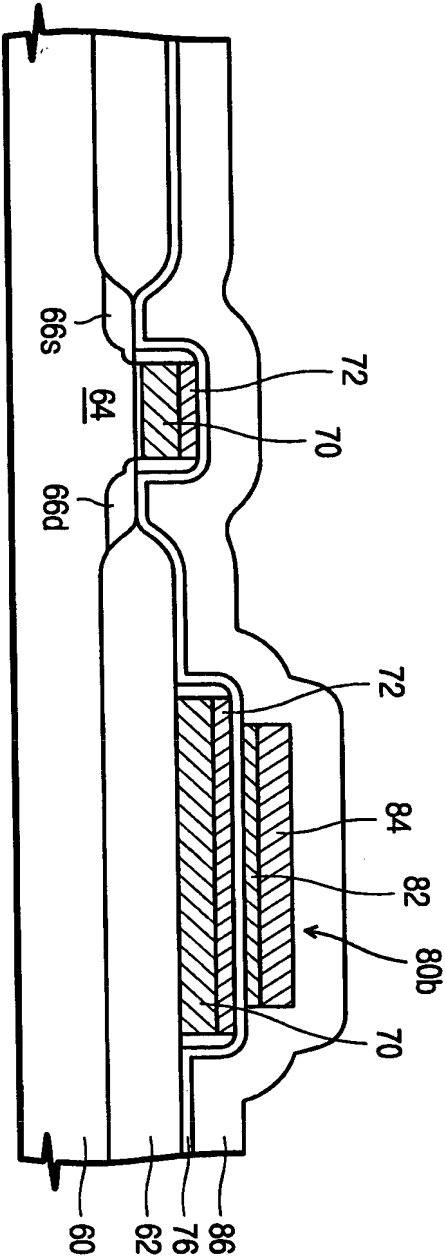
【도 3】



【도 4】

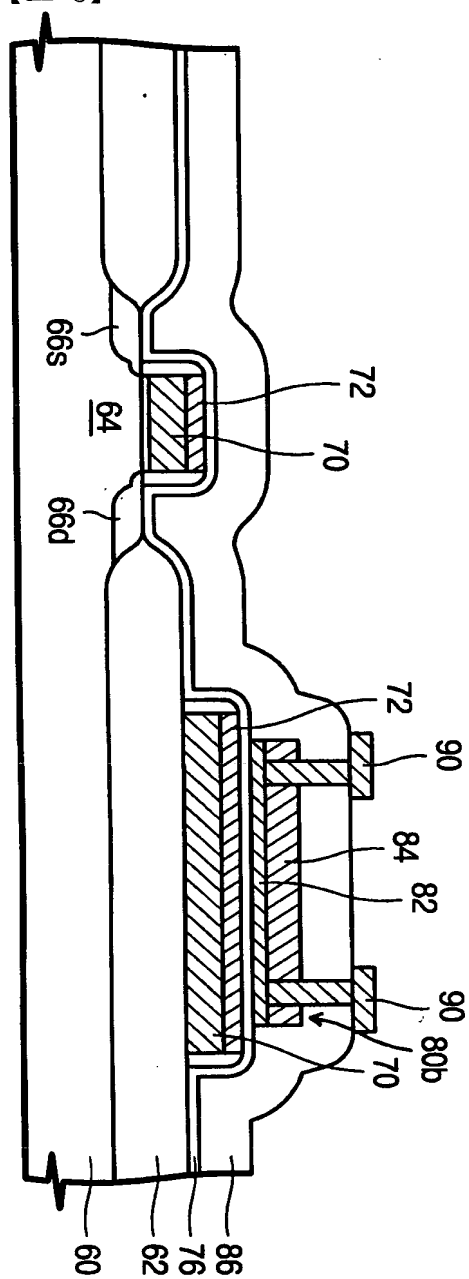


【도 5】



(종래기술)

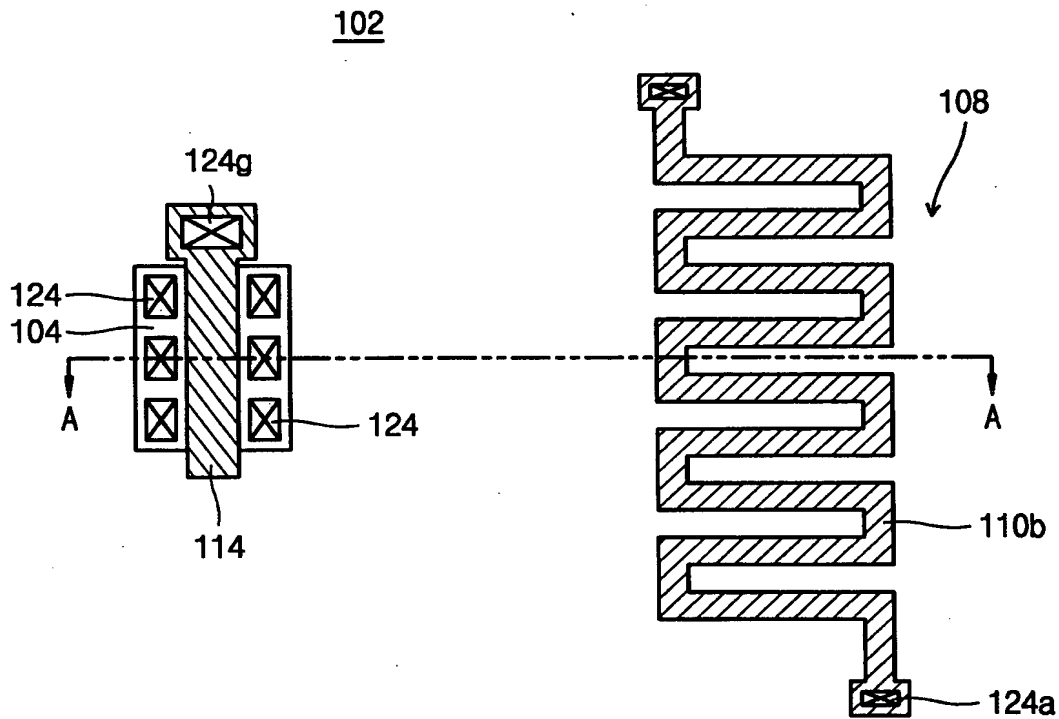
【도 6】



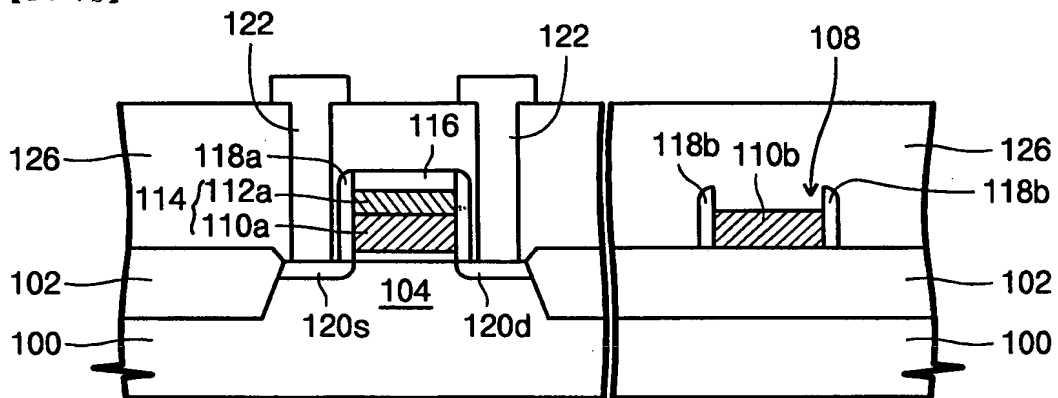
(수령기)



【도 7a】

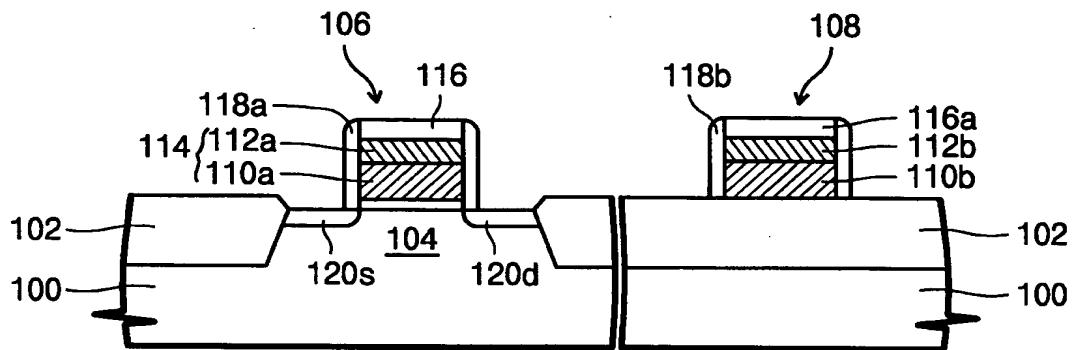


【도 7b】

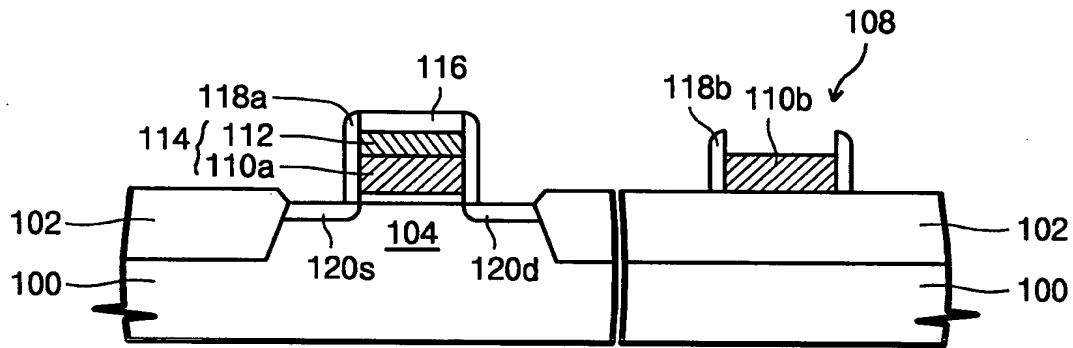




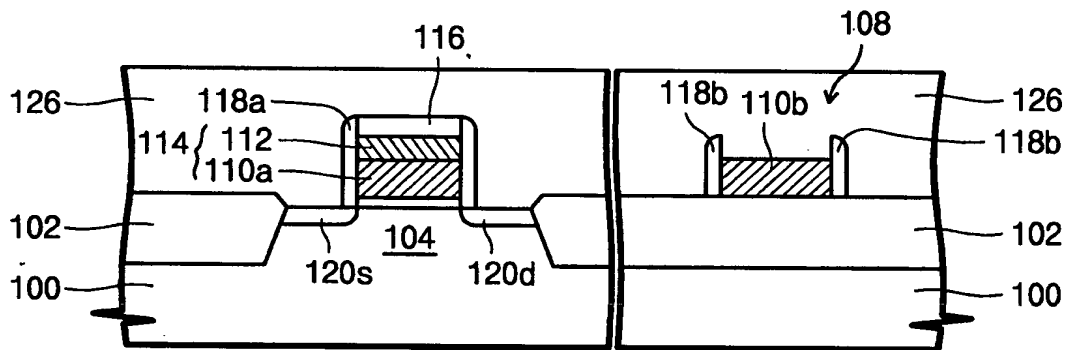
【도 8】



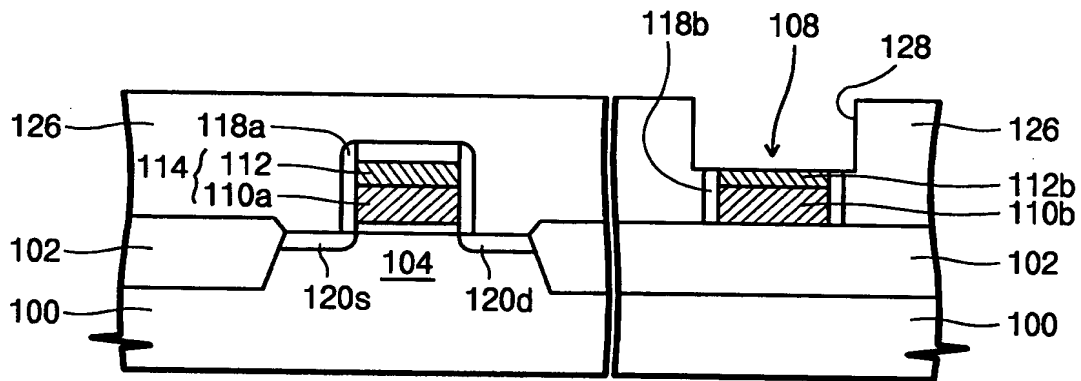
【도 9】



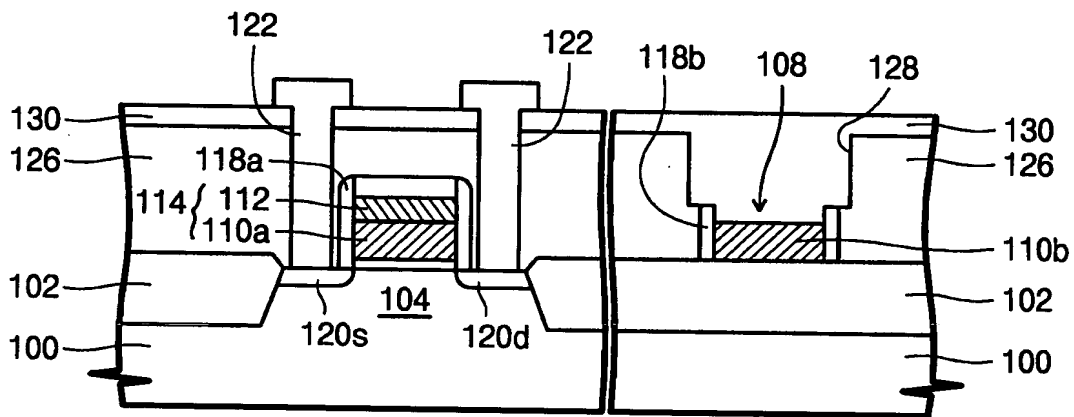
【도 10】



【도 11】

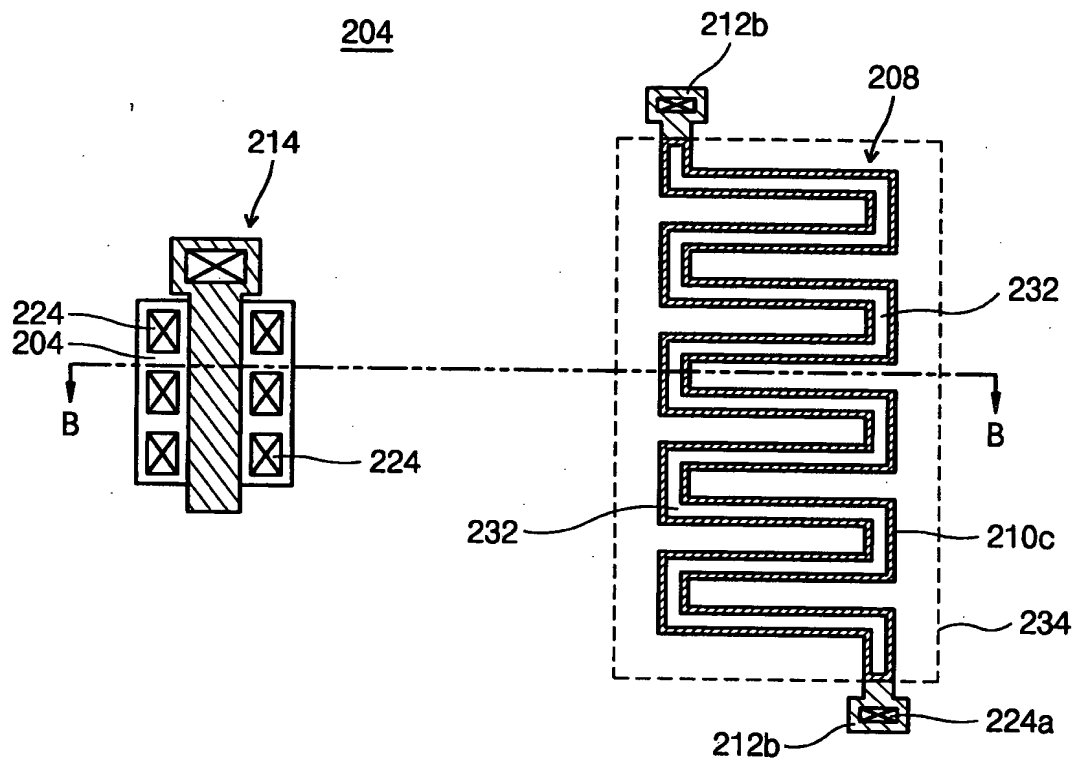


【도 12】

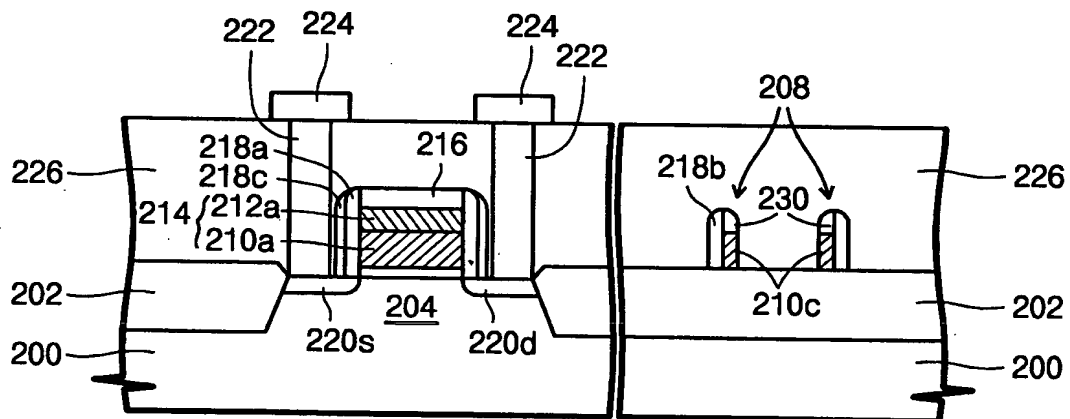




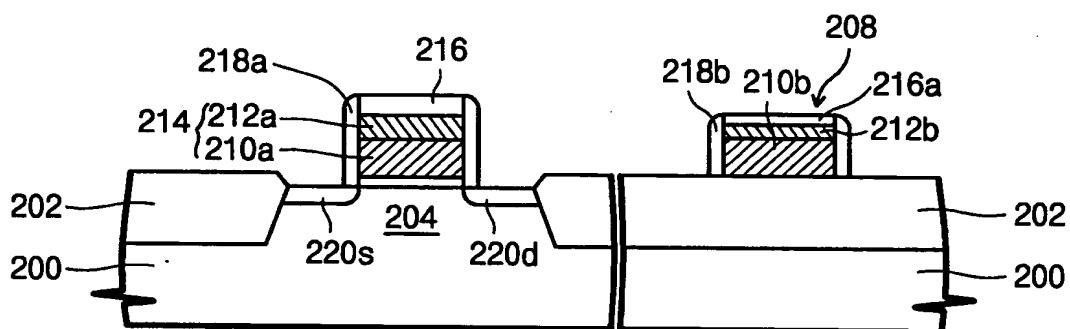
【도 13a】



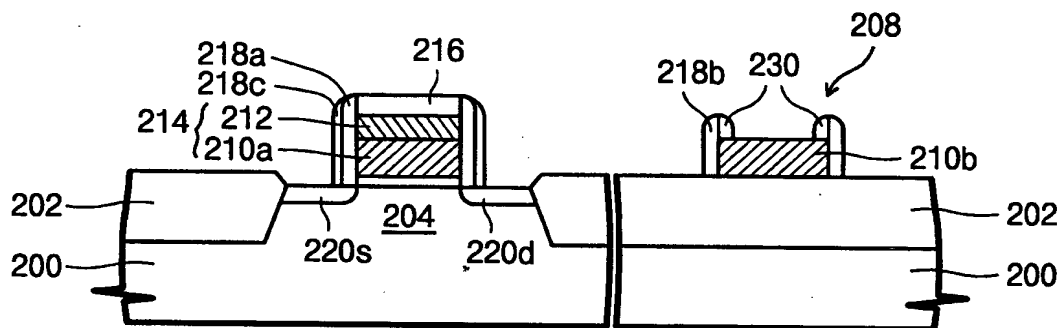
【도 13b】



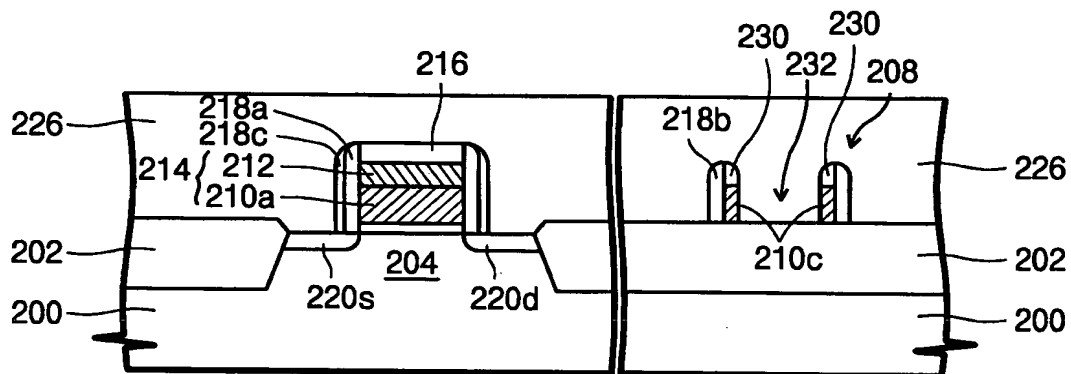
【도 14】



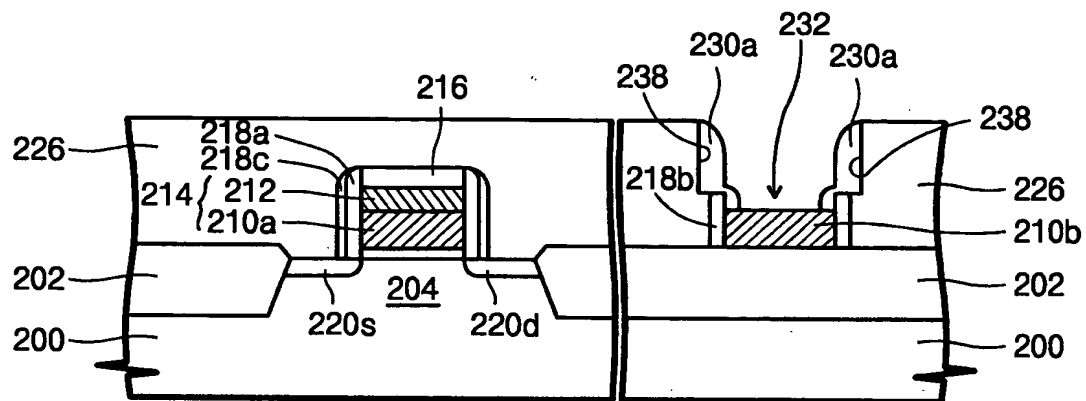
【도 15】



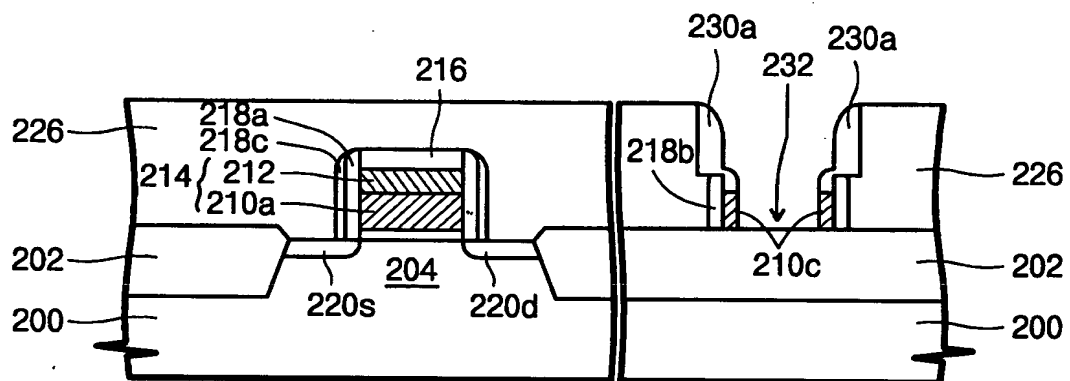
【도 16】



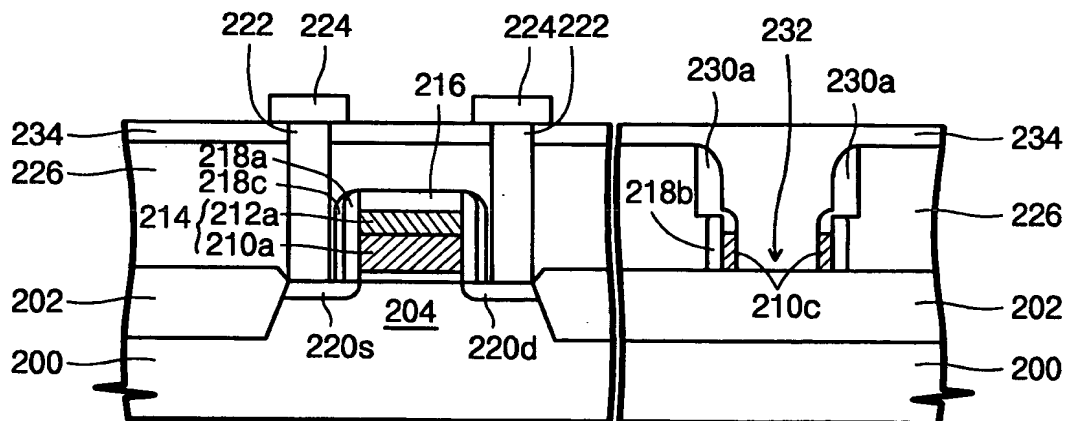
【도 17】



【도 18】



【도 19】



【도 20】

